

Efinix社FPGAでのRAMデザイン

株式会社レスターエレクトロニクス

※こちらの資料では、全17ページ中9ページまでの公開となります。続きの閲覧には、ダウンロードが必要となります。



はじめに – EfinixのRAM

Efinix のFPGAではRAMはIPでは提供されず'プリミティブ'という扱いになっています。
このため、

- GUI (IP Catalog) でRAM生成できないので不便
- どう記述すれば良いのか分からない

と戸惑うことになることが予測されます。
このドキュメントではRAM記述の基本的な部分を説明します。



Efinix FPGAのRAM (プリミティブ)

Efinix FPGAのRAMは大別して以下の2種となります

➤ Simple DPRAM

- Read portとWrite portを各々個別に持つ(ReadとWriteを同時に行うことができる) RAM で基本的な構成のRAM。ReadとWriteで異なるアドレス・データ幅を設定可能 (可能な組み合わせは後述)
- Trionでは5k、Titaniumでは10kのブロックサイズ

➤ True DPRAM

- Read / Writeとも2つのPortを持つ、真の意味でのDual Port RAM。ReadとWriteで異なるアドレス・データ幅を設定可能 (可能な組み合わせは後述)



Address / Data – R/W幅の組み合わせ - Trion

Simple DPRAM
EFX_RAM_5K

	256 x 16	512 x 8	1024 x 4	2048 x 2	4096 x 1	256 x 20	512 x 10	1024 x 5
256 x 16	✓	✓	✓	✓	✓			
512 x 8	✓	✓	✓	✓	✓			
1024 x 4	✓	✓	✓	✓	✓			
2048 x 2	✓	✓	✓	✓	✓			
4096 x 1	✓	✓	✓	✓	✓			
256 x 20						✓	✓	✓
512 x 10						✓	✓	✓
1024 x 5						✓	✓	✓

True DPRAM
EFX_DPRAM_5K

	512 x 8	1024 x 4	2048 x 2	4096 x 1	512 x 10 ⁽²⁾	1024 x 5 ⁽²⁾
512 x 8	✓	✓	✓	✓		
1024 x 4	✓	✓	✓	✓		
2048 x 2	✓	✓	✓	✓		
4096 x 1	✓	✓	✓	✓		
512 x 10					✓	✓
1024 x 5					✓	✓



Address / Data幅の組み合わせ - Titanium

Simple DPRAM
EFX_RAM10

	512 x 16	1024 x 8	2048 x 4	4096 x 2	8192 x 1	512 x 20	1024 x 10	2048 x 5
512 x 16	✓	✓	✓	✓	✓			
1024 x 8	✓	✓	✓	✓	✓			
2048 x 4	✓	✓	✓	✓	✓			
4096 x 2	✓	✓	✓	✓	✓			
8192 x 1	✓	✓	✓	✓	✓			
512 x 20						✓	✓	✓
1024 x 10						✓	✓	✓
2048 x 5						✓	✓	✓

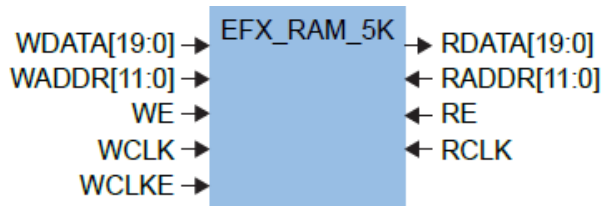
True DPRAM
EFX_DPRAM10

	1024 x 8	2048 x 4	4096 x 2	8192 x 1	1024 x 10	2048 x 5
1024 x 8	✓	✓	✓	✓		
2048 x 4	✓	✓	✓	✓		
4096 x 2	✓	✓	✓	✓		
8192 x 1	✓	✓	✓	✓		
1024 x 10					✓	✓
2048 x 5					✓	✓

RAM インターフェース Trion

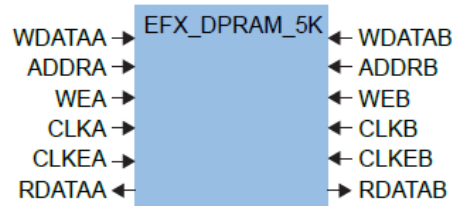
Trion FPGAのRAMインターフェースは下図の通りである

Trion simple DPRAM



Port Name	Direction	Description
WDATA[19:0]	Input	Write data
WADDR[11:0]	Input	Write address
WE	Input	Write enable
WCLK	Input	Write clock
WCLKE	Input	Write clock enable
RDATA[19:0]	Output	Read data
RADDR[11:0]	Input	Read address
RE	Input	Read enable
RCLK	Input	Read clock

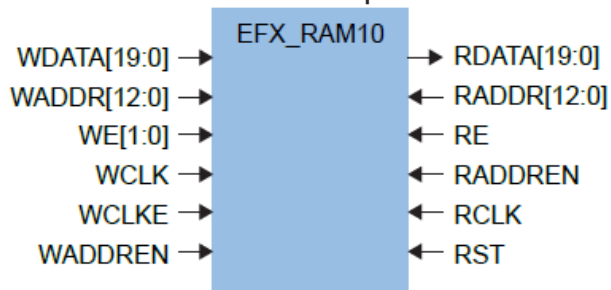
Trion true DPRAM



Port Name	Direction	Description
WDATAA[9:0] WDATAB[9:0]	Input	Write data port A/B
ADDRA[11:0] ADDRB[11:0]	Input	Address port A/B
WEA WEB	Input	Write enable port A/B
CLKA CLKB	Input	Clock port A/B
CLKEA CLKEB	Input	Clock enable port A/B

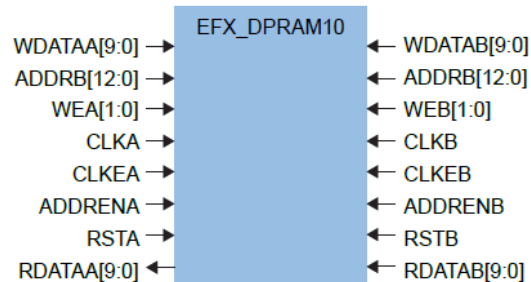
RAM Interface Titanium

Titanium simple DPRAM



Port Name	Direction	Description
WDATA[19:0]	Input	Write data.
WADDR[12:0]	Input	Write address.
WE[1:0]	Input	Write enable.
WCLK	Input	Write clock.
WCLKE	Input	Write clock enable.
WADDREN	Input	Write address enable.
RDATA[19:0]	Output	Read data.
RADDR[12:0]	Input	Read address.
RE	Input	Read enable.
RADDREN	Input	Read address enable.
RCLK	Input	Read clock.
RST	Input	Reset the RAM output.

Titanium true DPRAM



Port Name	Direction	Description
WDATAA[9:0] WDATAB[9:0]	Input	Write data port A/B.
WEA WEB	Input	Write enable port A/B.
ADDRBA[12:0] ADDRBB[12:0]	Input	Address port A/B.
ADDRENA ADDRENB	Input	Address enable port A/B.
CLKA CLKB	Input	Clock port A/B.
CLKEA CLKEB	Input	Clock enable port A/B.
RDATAA[9:0] RDTAB[9:0]	Output	Read data port A/B.
RSTA RSTB	Input	Reset port A/B.



User Guide (Primitive)

RAMに関するUser Guideが以下にありますので参照願います。

[Quantum Trion Primitives User Guide \(efinixinc.com\)](https://efinixinc.com/quantum-trion-primitives-user-guide)

[Quantum Titanium Primitives User Guide \(efinixinc.com\)](https://efinixinc.com/quantum-titanium-primitives-user-guide)

Efinixが用意するプリミティブに関するUser Guideです。同文書の中のRAMに関する項目を参照ください。



RAMのHDL記述



続きの閲覧は、下記よりダウンロードお願いいたします。



https://www.restar-ele.com/business/electronic/efinix/efinix_ram.html