

# Efinity Interface Designer

## GPIO, JTAG, PLL設定

株式会社レスターエレクトロニクス



# Interface Designer

Interface designerはEfinix社FPGAをデザインする上で

- GPIO
- PLL
- JTAG User Tap
- Oscillator
- MIPI
- LVDS
- DDR

などのハードマクロの定義・設定などを行う機能です。

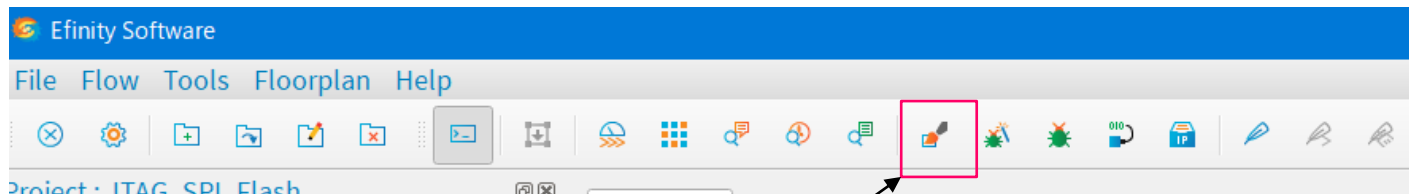
論理開発（HDL）でないハードマクロはInterface designerで定義を行ないます。

（IP形式での開発ではないことが他社との相違点です）

本編では、GPIO, PLL, JTAGの設定方法を説明します



# Interface Designerを起動



Efinityを起動 → Projectを開くとtool barのInterface Designerアイコンがアクティブになります。

該当アイコンをクリックすることでInterface Designerが起動します

# Interface Designer - 画面

The screenshot displays the Efinity Interface Designer interface for a project named 'ti60f225\_oob'. The Design Explorer on the left shows a hierarchical tree of components:

- Design : Ti60F225
  - Device Setting
    - I/O Banks (12)
    - Configuration
      - Clock/Control Confi...
    - GPIO (77)
    - PLL (4)
    - Oscillator (0)
    - LVDS TX (0)
    - LVDS RX (0)
    - Bidirectional LVDS (0)
    - MIPI TX Lane (5)
      - mipi\_tx\_clk[0] : GPI...
      - mipi\_tx\_data0[0] : ...
      - mipi\_tx\_data1[0] : ...
      - mipi\_tx\_data2[0] : ...
      - mipi\_tx\_data3[0] : ...
    - MIPI RX Lane (3)
      - cam\_ck[0] : GPIOR\_...
      - cam\_d0[0] : GPIOR\_...
      - cam\_d1[0] : GPIOR\_...
    - JTAG User Tap (1)

The Design Summary table on the right provides key project details:

Property	Value
1 Name	ti60f225_oob
2 Device	Ti60F225
3 Package	225-ball FBGA
4 Timing Model	C4
5 Location	C:\data\Efinix\eva_board\Ti60\efx_ti60f225_oob_v2.1
6 Version	2022.1.226.1.9
7 Last Change Date	Mon Nov 21 17:26:26 2022
8 Database Version	20221999



# Interface Designer - Design Explorer

Show / Hide Resource Assign 

Create Block 

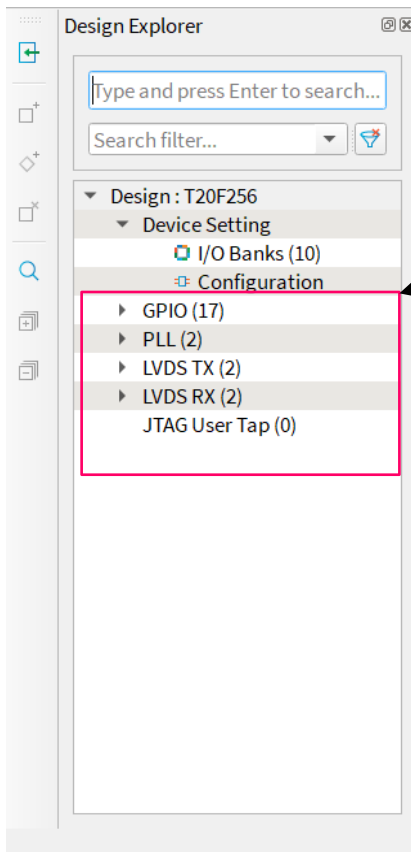
Create Bus 

Delete Block 

Show/ Hide search 

Expand All 

Collapse All 



インターフェース一覧及びアサイン  
済みブロック数を表示  
表示される項目はデバイスにより  
異なります (MIPI I/F有無等)

# Interface Designer 画面

The screenshot displays the Efinity Interface Designer interface for a project named 'lvds\_loopback'. The interface is divided into several panels:

- Design Explorer:** Shows a tree view of the design components, including 'Device Setting', 'I/O Banks (10)', 'Configuration', and 'GPIO (17)'. The 'user\_switch[2:0]' component is selected.
- Block Summary:** A table listing properties and their values for the selected component.
- Block Editor:** A configuration panel for the selected component, showing various settings like Mode, I/O Standard, Input, and Connection Type.

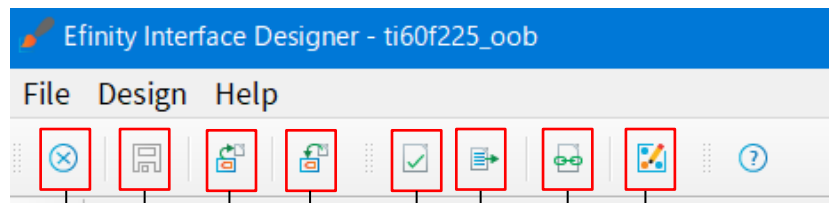
Property	Value
1 Instance Name	user_switch[0]
2 GPIO Resource	GPIOR_128
3 Mode	input
4 I/O Standard	3.3 V LVTTTL / LVCMOS
5 Unused State	NA
6 Alternate Connection	GCTRL
7 Features	DDIO
8 Clock Region	R1
9 I/O Bank	3D_3E
10 Pad	GPIOR_128_CTRL11
11 Package Pin	H14
12 Input	
13 Pin Name	user_switch[0]
14 Connection Type	normal

Block Summary

設定情報  
を表示

Block Editor  
にて設定変更  
を行なう

# Interface Designer - ツールバー



- Exit  
Interface Designer終了
- Save
- Export Design  
GPIO resourceアサインを出力  
(csvまたはisf)
- Import Design
- Check Design  
- Designを検証します (Design後必ず実行  
してください)
- Export Design Issue  
- Design issue をcsv形式で出力
- Generate Efinity Constraint files  
- 制約ファイルを生成
- Package Planner  
- Pinout Diagramを表示

# Interface Designerでデザイン





# GPIO



# GPIO設定

The screenshot shows the Efinity Interface Designer interface with the Resource Assigner window open. The Resource Assigner window displays a table of GPIO instances and their assigned resources. The 'Resource' column for 'led[0]' is highlighted with a red box. The Design Explorer shows the 'GPIO (17)' configuration tree with 'led[0]: GPIOR...' selected. The Block Editor shows the configuration for 'led[0]', with the 'Mode' set to 'output' and 'I/O Standard' set to '2.3V LVTTL / LVCMOS'. The Block Summary table shows the configuration for 'led[0]':

Property	Value
1 Instance Name	led[0]
2 GPIO Resource	GPIOR_104
3 Mode	output

1. クリックし Resource Assignerを表示させる

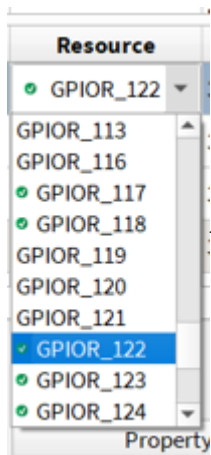
2. 設定するピンを選択

3. Resource欄をダブルクリック端子をアサイン

4. Block Editorでピン属性を設定

# GPIO設定 ピン (resource) アサイン

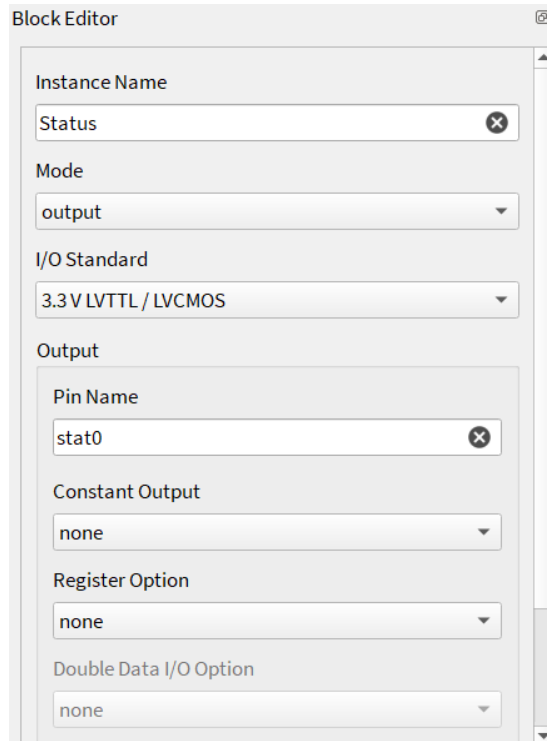
1. Show/ Hide Resource AssignアイコンをクリックしResource Assignを表示
2. Design Explorerで設定するGPIO端子を選択
3. Resource欄をダブルクリック → 端子を割り当て
4. Block Editorでピン属性を設定・編集



Resource欄をダブルクリック  
→ プルダウンリストが表示される。

→ リストの中からアサインする  
ポートを選択する

# GPIO - Block Editor



Instance Name

Instance名を設定

Mode

'input/ output/ inout/ clkout/ none' から選択

I/O Standard

'3.3V LVTTTL / 1.8V, 2.5V, 3.3V LVCMOS' (Trion)  
'3.3V ~ 1.2V (Titanium - P.14,15参照)

Pin Name

ユーザーが定義した信号名

Constant Output (outputの時のみ選択可)

none, 1, 0から選択

Register Option

none, register, inv\_register(outputのみ)

Double Data I/O Pin (上記'register'の時のみ)

None, normal, resync

# GPIO - Block Editor 続き

Pull Option

none

Enable Schmitt Trigger

Pull option

normal, weak pull up, weak pulldown

Enable Schmitt Trigger (inputのみ)

on or off

Drive Strength (outputのみ)

'1' (weakest) - '4' (strongest)

Enable Slew Rate (outputのみ)

on or off

Drive Strength (1-weakest, 4-strongest)

1

Enable Slew Rate

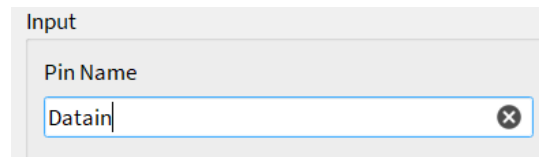
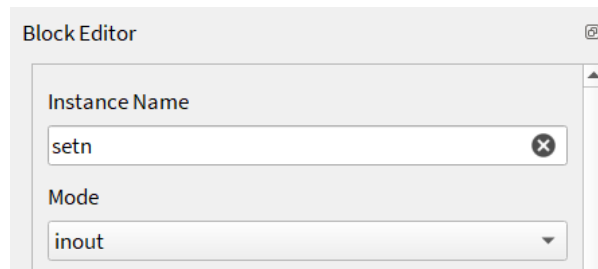
# Inout (Bi-direction)の定義

EfinityではInoutの記述が禁止されていますので以下のように定義します。

- HDLではinput, output, enableの3端子を記述 (Verilogでの例)

```
input  Datin; //input
output Dataout; //output
output Dataen; //enable
```

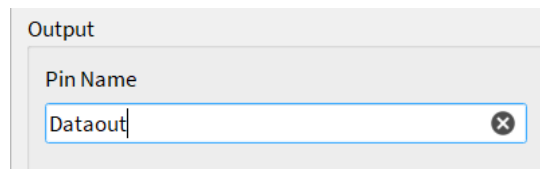
- Interface Designerで下図のように定義



Input -> Pin Name定義

Block Editor -> Mode : inout

# Inout (Bi-direction)の定義 - 続き

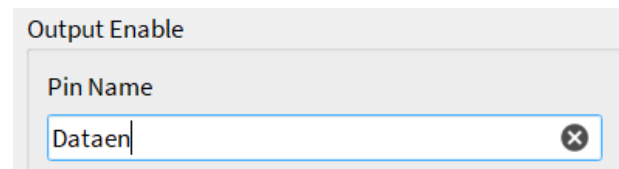


Output

Pin Name

Dataout

Output -> Pin Name定義



Output Enable

Pin Name

Dataen

Output Enable -> Pin Name定義

EfinityでのInoutの定義は以上のようにHDLで input, output, enableを定義した上でInterface Designerにて各々のPin Nameを定義する。  
Open DrainやTri-Stateバッファも同様に扱います

# IO Standard (Trion)

Trionデバイスにて設定可能なI/O Standardのスペックは下表の通りとなります。

I/O Standard	V <sub>IL</sub> (V)		V <sub>IH</sub> (V)		V <sub>OL</sub> (V)	V <sub>OH</sub> (V)
	Min	Max	Min	Max	Max	Min
3.3 V LVCMOS	-0.3	0.8	2	VCCIO + 0.3	0.2	VCCIO - 0.2
3.3 V LVTTTL	-0.3	0.8	2	VCCIO + 0.3	0.4	2.4
2.5 V LVCMOS	-0.3	0.7	1.7	VCCIO + 0.3	0.5	1.8
1.8 V LVCMOS	-0.3	0.35 * VCCIO	0.65 * VCCIO	VCCIO + 0.3	0.45	VCCIO - 0.45





# IO Standard - HVIO (Titanium)

TitaniumデバイスではHVIOとHSIOの2種類のI/O Standardが定義されています。  
HVIOで定義可能なI/O Standardは下表の通りです。

Standard	VCCIO33 (V)	When Configured As
LVTTTL 3.3 V	3.3	GPIO
LVTTTL 3.0 V	3.0	GPIO
LVC MOS 3.3 V	3.3	GPIO
LVC MOS 3.0 V	3.0	GPIO
LVC MOS 2.5 V	2.5	GPIO
LVC MOS 1.8 V	1.8	GPIO



# I/O Standard - HSIO (Titanium)

HSIOのI/O Standardは下表のように定義されています

Standard	VCCIO (V)		VCCAUX (V)	VREF (V)	When Configured As
	TX	RX			
LVC MOS 1.8 V	1.8	1.8	1.8	-	GPIO
LVC MOS 1.5 V	1.5	1.5	1.8	-	GPIO
LVC MOS 1.2 V	1.2	1.2	1.8	-	GPIO
HSTL/Differential HSTL 1.8 V SSTL/Differential SSTL 1.8 V	1.8	1.8	1.8	0.9	GPIO
HSTL/Differential HSTL 1.5 V SSTL/Differential SSTL 1.5 V	1.5	1.5, 1.8 <sup>(2)</sup>	1.8	0.75	GPIO
HSTL/Differential HSTL 1.2 V SSTL/Differential SSTL 1.2 V	1.2	1.2, 1.5, 1.8 <sup>(2)</sup>	1.8	0.6	GPIO
LVDS/RSDS/mini-LVDS	1.8	1.5, 1.8 <sup>(2)</sup>	1.8	-	LVDS
Sub-LVDS	1.8	1.5, 1.8 <sup>(2)</sup>	1.8	-	LVDS
MIPI/SLVS	1.2	1.2	1.8	-	MIPI Lane

(2) リークを減らすために端子にかかる電圧がVCCIO電圧を超えないようにしてください



# JTAG User TAP



# JTAG User Tap

JTAG User Tapで  
'Create Block'を  
選択すると右図の  
画面が現れます

Design Explorer

Type and press Enter to search...

Search filter...

- Design : T20F256
  - Device Setting
    - I/O Banks (10)
    - Configuration
      - GPIO (5)
      - PLL (1)
      - LVDS TX (0)
      - LVDS RX (0)
      - JTAG User Tap (1)
        - jtag\_inst1: JTAG\_U...

## Block Summary

	Property	Value
1	Instance Name	jtag_inst1
2	JTAG Resource	JTAG_USEF
3	Input Pin	
4	Test Data Pin Name	jtag_inst1_
5	Test Clock Pin Name	jtag_inst1_
6	Test Mode Select Pin Name	jtag_inst1_
7	User Instruction Active Pin Name	jtag_inst1_
8	Gated Test Clock Pin Name	jtag_inst1_
9	Reset Pin Name	jtag_inst1_
10	Run Test Pin Name	jtag_inst1_
11	Capture Pin Name	jtag_inst1_
12	Shift Pin Name	jtag_inst1_
13	Update Pin Name	jtag_inst1_
14	Output Pin	

## Block Editor

### Instance Name

jtag\_inst1

### JTAG Resource

JTAG\_USER1

### Input Pin

#### Test Data Pin Name

jtag\_inst1\_TDI

#### Test Clock Pin Name

jtag\_inst1\_TCK

#### Test Mode Select Pin Name

jtag\_inst1\_TMS

#### User Instruction Active Pin Name

jtag\_inst1\_SEL

#### Gated Test Clock Pin Name

jtag\_inst1\_DRCK

# JTAG User Tap - Block Editor

The screenshot shows the 'Block Editor' window with the following configuration fields:

- Instance Name: jtag\_inst1
- JTAG Resource: JTAG\_USER1 (selected from a dropdown menu)
- Input Pin section:
  - Test Data Pin Name: jtag\_inst1\_TDI
  - Test Clock Pin Name: jtag\_inst1\_TCK

Instance Name

Instance名を設定

JTAG Resource

プルダウンリストから選択

Input pin

各入力ピンの名称を設定

基本的には設定するのは  
Resourceの選択のみ

The screenshot shows the 'Output Pin' configuration section with the following field:

- Test Data Pin Name: jtag\_inst1\_TDO

Output Pin

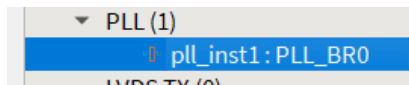
出力ピンの名称を設定

PLL

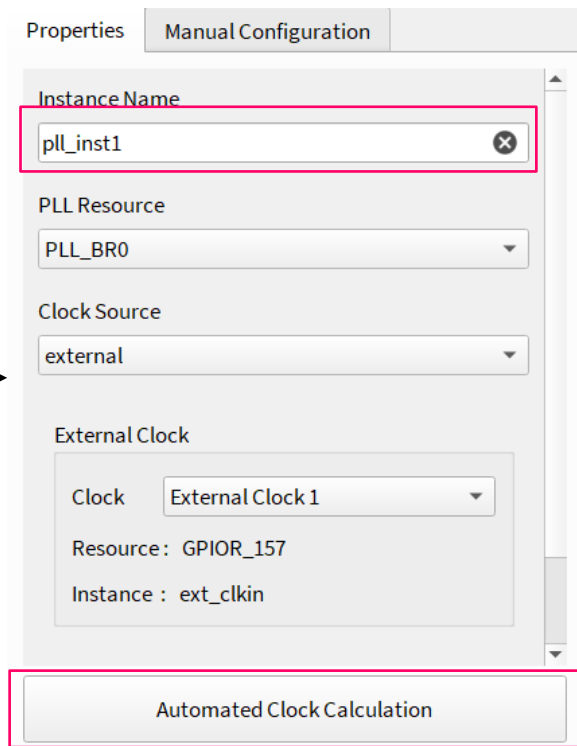


# PLL - Block Editor - Propertiesタブ

Design ExplorerのPLLを選択



Block Editorが表示される



Properties Manual Configuration

Instance Name  
pll\_inst1

PLL Resource  
PLL\_BR0

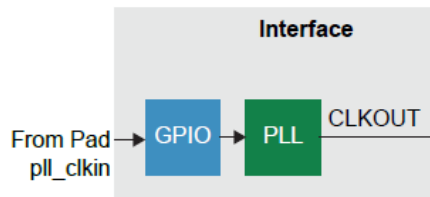
Clock Source  
external

External Clock  
Clock: External Clock 1  
Resource: GPIOR\_157  
Instance: ext\_clkln

Automated Clock Calculation

- Instance Nameを設定
- ユーザーデザインに合わせてPLL Resourceを設定
- external, core, dynamicから選択
- core, externalの場合、clockを選択
- 最後に'automated Clock Calculation'を押す

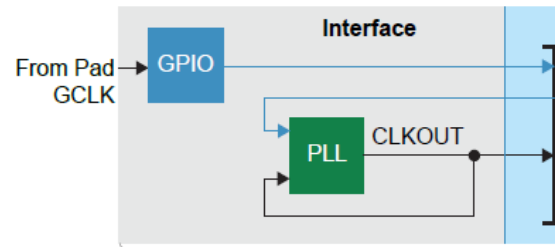
# Clock Source



## External

外部からのクロックをGPIO (PLLIN)  
に入力  
→ PLLのソースとする

通常はこのSourceを選択



## Core

Global ClockをCoreに供給  
CoreからのGlobal Clock  
→ PLLのソースとする

PLLを使用しない予定でデザイン開始  
→「やはり必要になった」場合に選択できます

Dynamicを選択すると複数のクロックをSourceとして切り替えて使用できます



# PLL設定 - Automate Clock calculation

PLL Clock Calculator

Manual Mode:  Feedback Mode: Local

① Input Frequency: 50.0000 MHz

② Clock 0 Frequency: 50.0000 MHz

③ Feedback Mode: Local

Phase: 0° Feedback

Cancel Finish

④

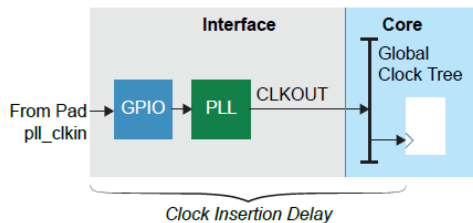
- ① Input Frequency
- ② Clock n Frequency
- ③ Feedback Mode  
を選択
- ④ Finishボタンを押す

で終了。

①, ②, ③は基板デザイン、  
ユーザーデザインに合わ  
せませす。

参考; T20F256デモ  
デザインでは共に  
'50MHz'

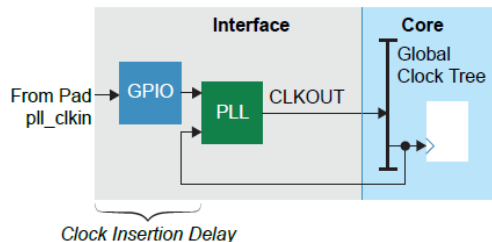
# Feedback Mode



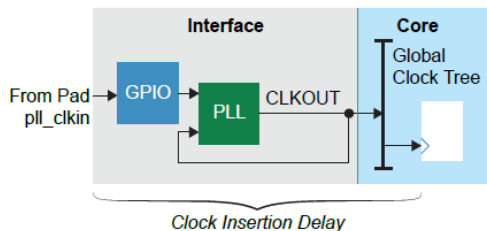
## Internal Feedback

Trionのみ

InとOutの位相は不明

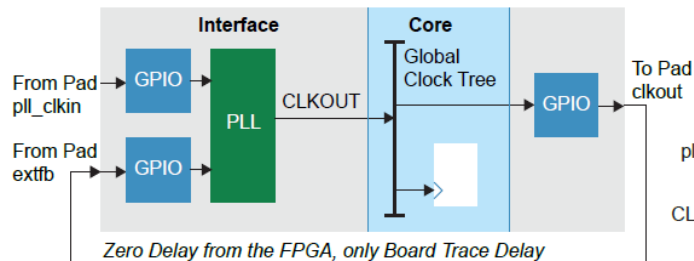


Core Feedback  
Delayは補償される



## Local Feedback

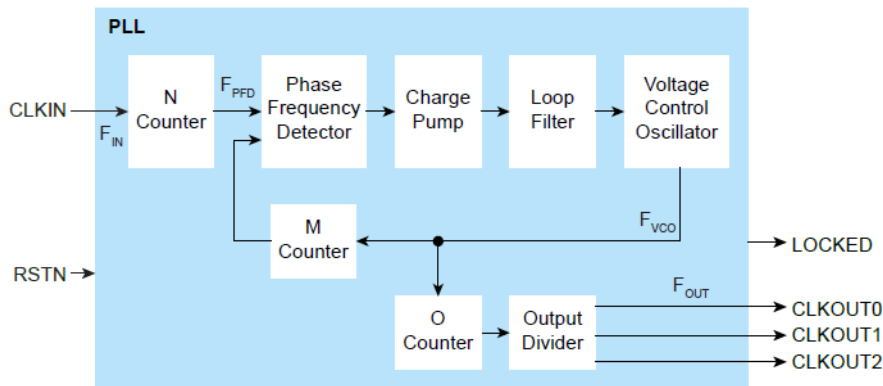
Inとoutの位相差はDelay分



External Feedback - Titaniumのみ  
PLL in - outでdelayなし

詳細は[AN 042: Working with PLLs](#) を参照ください

# PLL 構成 (Trion)



上図はTrion FPGA - PLLブロックを示しています。

Simple PLL (Manual Mode Off - 前項)では

- M (Multiplier)
- N (Pre Divider)
- O (Post Divider)

は自動的に設定されます。

Multiplier (M)	1 - 255 (integer)	M counter.
Pre Divider (N)	1 - 15 (integer)	N counter.
Post Divider (O)	1, 2, 4, 8	O counter. The value must be 2 or higher if you enable more than 1 PLL output.
Divider (C)	1 to 256	Output divider.

# Manual Mode

Manual ModeをONにした場合

- M (Multiplier)
- N (Pre Divider)
- O (Post Divider)
- Reference Clock Frequency ( $F_{IN}$ )

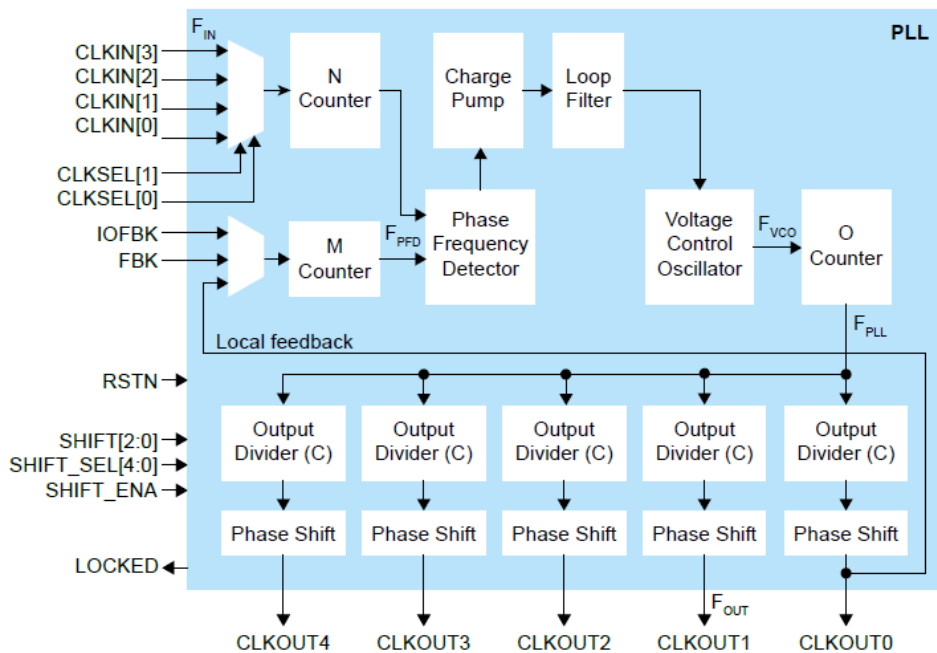
をManual設定できます。またOutput clockの

- Output Divider
- Phase Shift

も設定可能です



# Titanium - PLL仕様



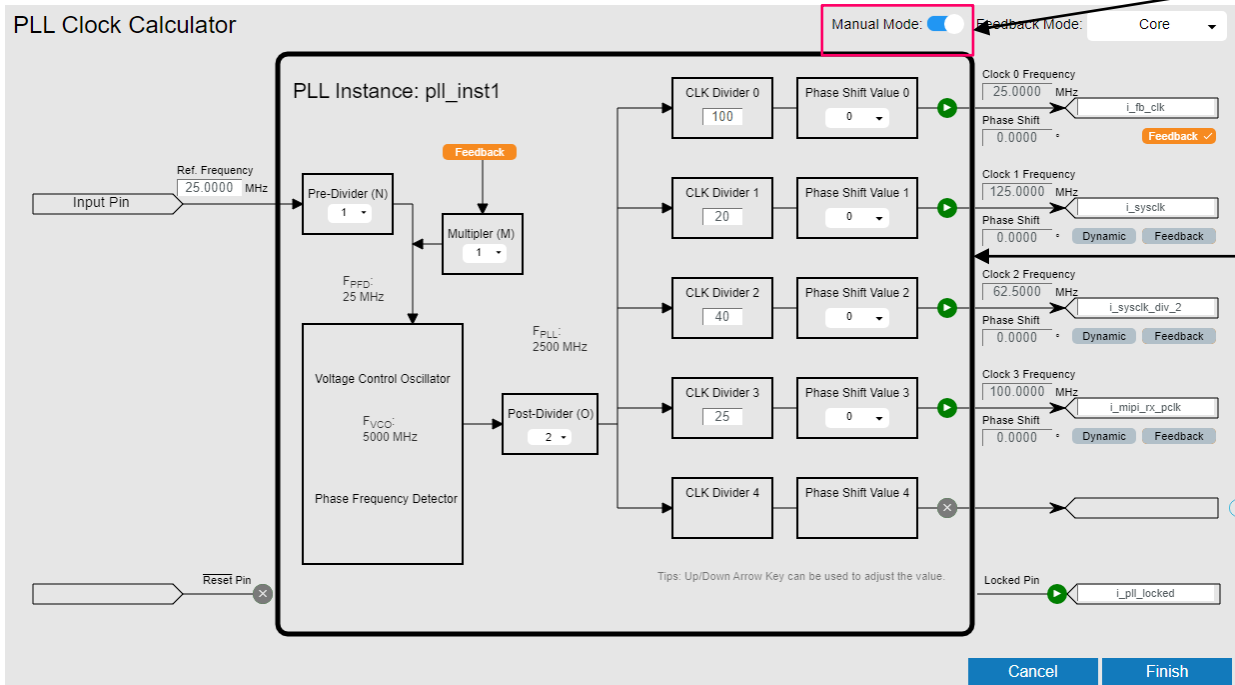
左図はTitaniumのPLLブロック図である。  
Titaniumでは左図'N', 'M', 'O', 'C'は自動的に設定される（デフォルト）。  
これらの設定をマニュアル設定することも可能です  
設定値は下表の範囲で可能です

Option	Choices	Description
Pre-Divider (N)	1, 2, 4	The pre-divider value.
Multiplier (M)	1, 2, 4	The multiplier value.
Post-Divider (O)	1, 2, 4, 8, 16, 32, 64, 128	Post-divider value.
CLK Divider $n$	1 - 128	Clock divider for each output.

# Manual Mode - PLL (Manual設定)

Automated Clock Calculation

Block Editor最下段の'Automated Clock Calculation'を押す



Manual Modeへトグルさせる

Manual設定できるようになります。

# PLL 電氣的仕様

PLLの電氣的仕様は各製品Data Sheetの' PLL Timing and AC Characteristics' を参照ください

Manual ModeでPLLを設定する場合は電氣的仕様も併せて適合させる必要があります。

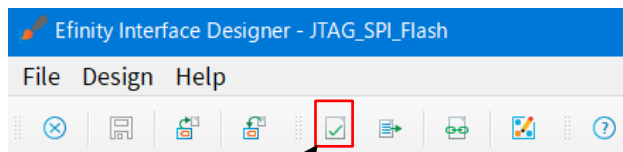
Table 61: PLL Timing

Symbol	Parameter	Min	Typ	Max	Units
F <sub>IN</sub>	Input clock frequency.	16	-	800	MHz
F <sub>OUT</sub>	Output clock frequency.	0.1342	-	1,000	MHz
F <sub>VCO</sub>	PLL VCO frequency.	2,200	-	5,500	MHz
F <sub>PLL</sub>	Post-divider PLL VCO frequency.	-	-	4,000	MHz
F <sub>PFD</sub>	Phase frequency detector input frequency.	16	-	800	MHz

例 ; Ti60の PLL Timing spec



# Check Design実行

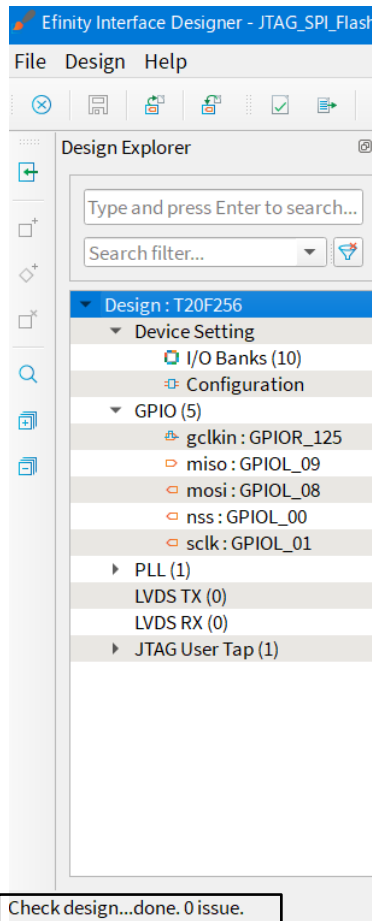


Interface Designerでの設定が  
終了したら'Check Design'アイコン  
を押下しチェックを実行します。

**必ず実行してください！**

エラーが出たらメッセージを参照し修正  
します

Check実行により'Save'も行われます



エラーがなければ  
'0 issue'と表示



# まとめ

以上、Interface DesignerでのGPIO, PLL, JTAGの設定方法を説明しました。  
詳細は以下のユーザーガイドを参照ください

[Trion Interfaces User Guide \(efinixinc.com\)](http://efinixinc.com)

[Titanium Interfaces User Guide \(efinixinc.com\)](http://efinixinc.com)



End of File

