



EfinityでのGPIOアサイン法

株式会社レスター

EfinityでのGPIOアサイン法

Efinix FPGAにてGPIOをアサインはInterface Designerで行います

- ✓ 他社FPGAと違いHDLで記述することは不可能

本書ではEfinix FPGAでのGPIOアサイン方法を解説

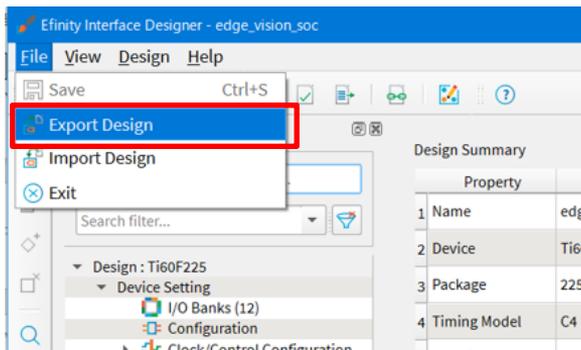
- ✓ Interface Designerでの設定が煩雑

- csv形式でのGPIO設定方法を解説します

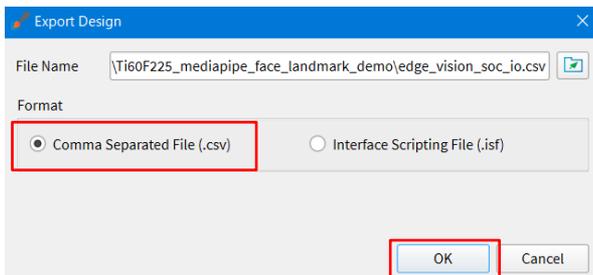
手順1 – Export Design



Interface Designerを起動



‘File’ -> ‘Export Design’
を選択



Formatは‘csv’を選択

OKをクリック

csvファイルを編集

生成されたcsvを編集します

Package Pin Instance 'in', 'out'
 名称 Name 等を記述

Package Pin- Pad Name	Instance Name	Mode
M13-GPIOB_CLKN0		
M12-GPIOB_CLKP0		
R9-GPIOB_RXN00		
M9-GPIOB_RXN01		
T10-GPIOB_RXN02		
N10-GPIOB_RXN03		
R11-GPIOB_RXN04		
M11-GPIOB_RXN05		
P11-GPIOB_RXN06		
R12-GPIOB_RXN07		
P13-GPIOB_RXN08		
R14-GPIOB_RXN09		
N12-GPIOB_RXN10		
R15-GPIOB_RXN11		
N13-GPIOB_RXN12_EXTFB0		
P9-GPIOB_RXP00		
N9-GPIOB_RXP01		

生成されたcsvファイルを開くと左に示すような表となります。

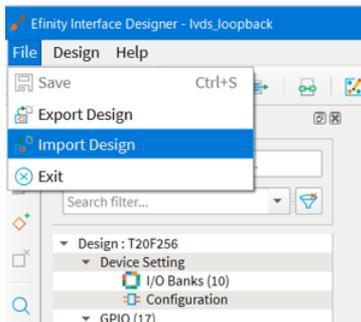
この表を編集することでピンアサインをできます

対象となるピンにアサインする信号(Instance)を記述。

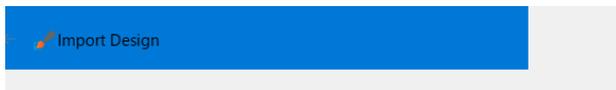
Mode欄には' in', 'out' などの属性を記述

*** LVDSの場合は空欄**

Import design

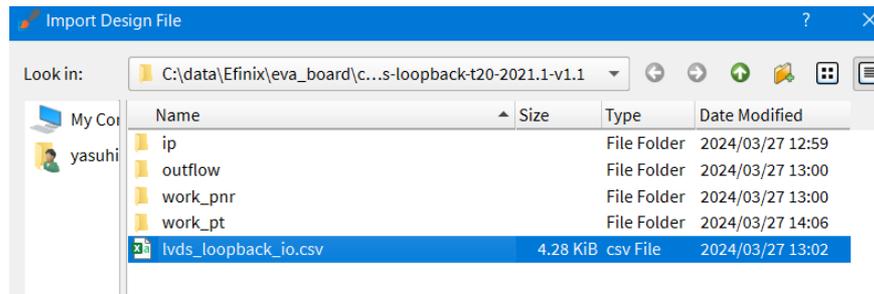
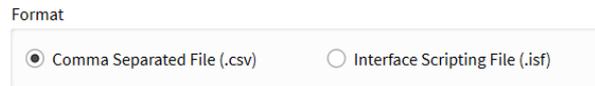


Pin assignの記述を終えたらInterface Designerの
'File' -> 'Import Design'



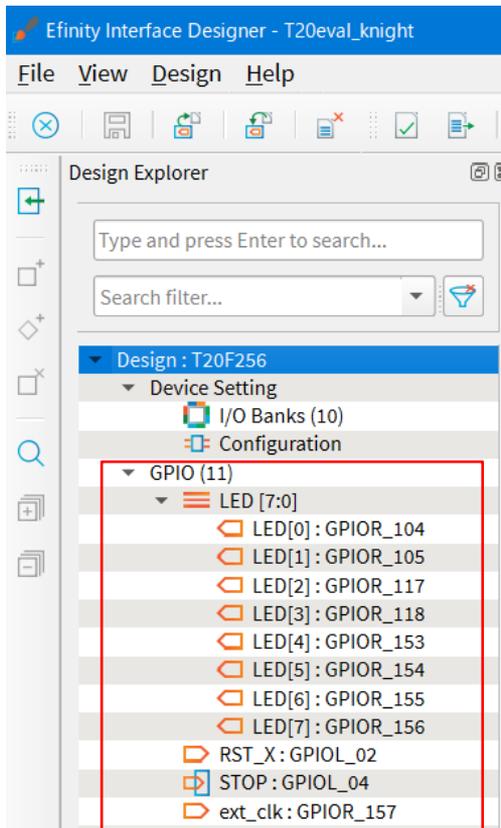
The design prior to import will automatically be saved when import is successful.
Click Cancel to abort the import process.

Formatを'csv'に変更
-> 'next' をクリック



対象の'csv' ファイルを選択し
'ok' ボタンを押しimport完了

Interface DesignerにてImport結果を確認



Interface DesignerにてImport結果を確認します。

Importの対象となるのはGPIOまたはLVDSとなります。

追加編集

- ◆ CSVファイルでは、「ピンアサイン」、「In, Out設定」のみ設定可能
 - ▶ IOが多ピンとなる場合に有用

- 他の項目はInterface Designerで設定
 - Connection Type (Normal, pll_clkin 等)
 - Pull Option (pullup, pulldown)
 - Drive Strength
 - Register Optionなどの属性設定
 - その他 -
 - Bi-DirectionなどのInstance定義

などはcsvでimport後 Interface Designerで設定します。



EOF